

LPC2880/2888 器件

数据手册

广州周立功单片机发展有限公司
地址：广州市天河北路 689 号光大银行大厦 15 楼 F1
http://www.zlgmcu.com

目录

第1章 概述

LPC2880/2888 是一款基于 ARM7 的微控制器，适合于要求低功耗和高性能的便携式应用。它包含一个 USB2.0 高速设备接口，一个能够连接 SDRAM 和 flash 的外部存储器接口，一个 MMC/SD 存储卡接口，A/D 和 D/A 转换器，以及包含 UART、I^2C 总线、和 I^2S 总线在内的串行接口。在结构上增加了多通道 DMA，处理器高速缓存，多条内部总线上的同步操作，和灵活的时钟发生单元，这些都有助于确保 LPC2880/2888 在与其它众多竞争产品相比，能够处理更高要求的应用。该芯片能够采用单电池、USB 或已校准的 1.8V 和 3.3V 供电。

第2章 特性

2.1 主要特性

- ARM7TDMI 处理器，带 8kB 高速缓存，工作频率可高达 60MHz。
- 1MB 片内 flash 程序存储器，可实现 128 位高性能访问。
- 64kB SRAM
- Boot ROM 允许执行 flash 代码、外部代码、或通过 USB 进行 flash 编程
- 片内 DC/DC 转换器，能够从单电池或 USB 电源产生所有必需的电压。
- 多条内部总线允许同步执行简单 DMA、USB DMA、和从片内 flash 执行程序，而不会出现竞争。
- 外部存储器控制器支持 flash、SRAM、ROM、和 SDRAM。
- 高级向量中断控制器，支持高达 30 个向量中断。
- 创新的事件导向器允许从高达 107 个源中实现中断、上电、和时钟启动功能。
- 多通道 GP DMA 控制器能够与大多数片内外设一起使用，也可以用于存储器到存储器传输。
- 串行接口：
  - 带片内物理层的高速 USB2.0 设备（480Mb/s 或 12Mb/s）
  - 带小数波特率发生器、流控制、IrDA 支持、和 FIFO 的 UART
  - I^2C 总线接口
  - I^2S 总线（内部集成电路音频总线）接口，用于独立的立体声数据音频输入和输出。
- 安全数字（SD）/多媒体卡（MMC）存储卡接口
- 带 5 通道多路输入的 10 位 A/D 转换器
- 带增益控制的 16 位立体声 A/D 和 D/A 转换器
- 高级时钟发生单元和功率控制降低了功耗。
- 2 个带可选预分频器的 32 位定时器
- 8 位/4 位 LCD 接口总线
- 实时时钟，可由 32kHz 振荡器或其它时钟源提供。
- 具有中断和/或复位功能的看门狗定时器。

第3章 订购信息

表 1 订购信息

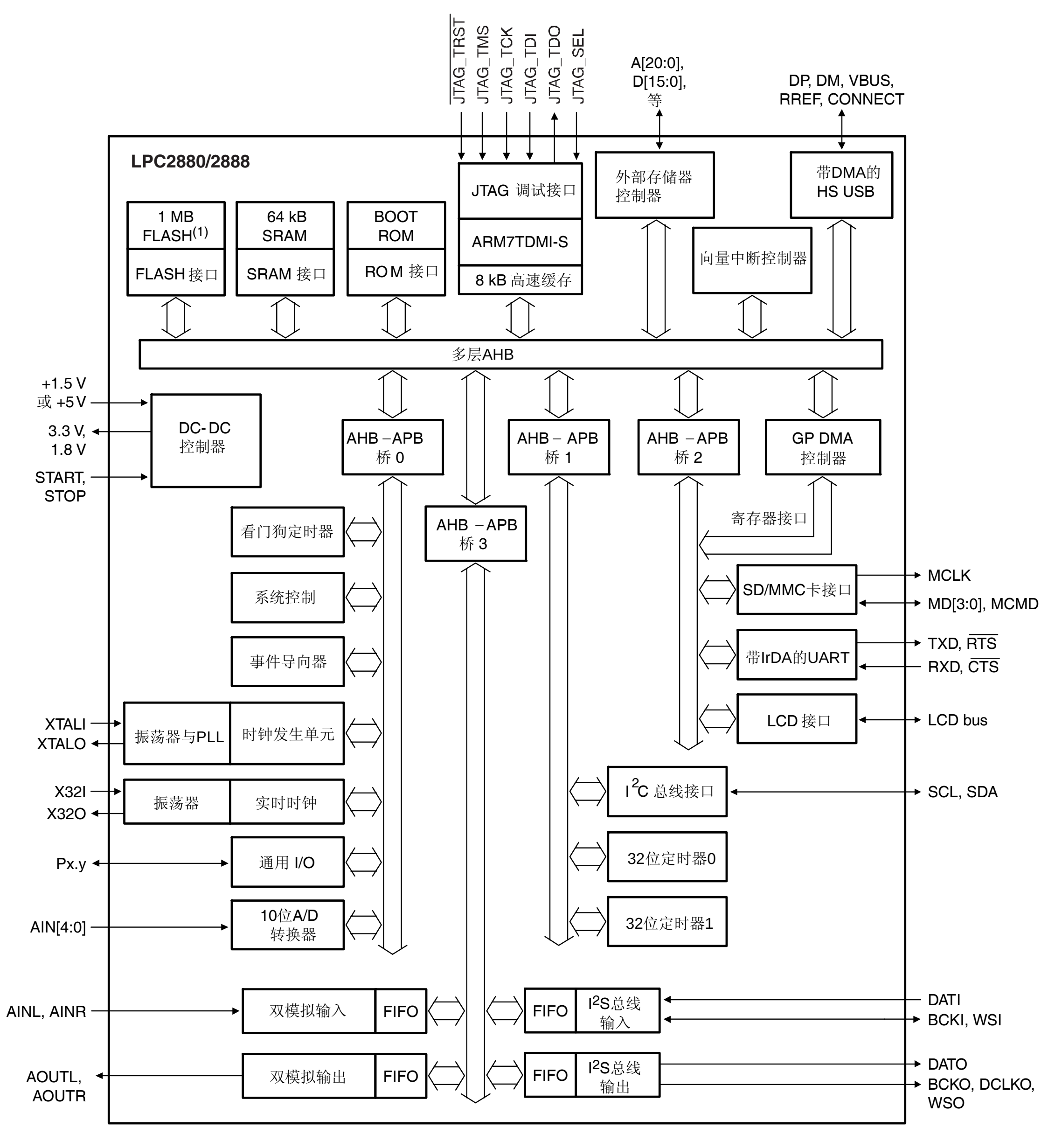
芯片型号	封装		
	名称	描述	版本
LPC2880FET180	TFBGA180	TFBGA 封装；180 个引脚；本体大小 10×10×0.8mm	SOT640-1
LPC2888FET180	TFBGA180	TFBGA 封装；180 个引脚；本体大小 10×10×0.8mm	SOT640-1

3.1 订购选项

表 2 订购选项

芯片型号	**Flash 存储器**	**RAM**	温度范围（℃）
LPC2880FET180	-	64kB	-40℃~+85℃
LPC2888FET180	1MB	64kB	-40℃~+85℃

第4章 框图



(1) 只有 LPC2888 具有

图 1 框图

第5章 管脚信息

5.1 管脚

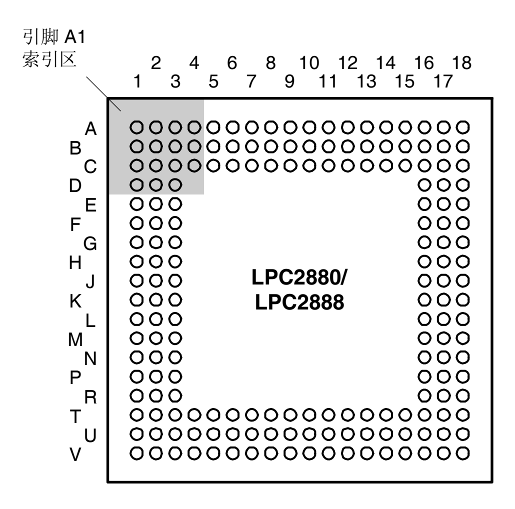


图 2 管脚配置

表 3 管脚分配表

管脚	符号	管脚	符号	管脚	符号	管脚	符号
Row A							
1	D0/P0[0]	2	D1/P0[1]	3	D3/P0[3]	4	D4/P0[4]
5	D6/P0[6]	6	VSS2(EMC)	7	$V_{DD2(EMC)}$	8	$\overline{\text{STCS1}}$ /P1[6]
9	$\overline{\text{RAS}}$ /P1[17]	10	MCLKO/P1[14]	11	DQM1/P1[11]	12	$\overline{\text{BLS0}}$ /P1[12]
13	A18/P1[2]	14	A15/P0[31]	15	$V_{SS1(EMC)}$	16	$V_{DD1(EMC)}$
17	OE/P1[18]	18	A6/P0[22]		-		-
Row B							
1	$\overline{\text{RPO}}$ /P1[19]	2	D2/P0[2]	3	LCS/P4[0]	4	D5/P0[5]
5	D7/P0[7]	6	D11/P0[11]	7	D13/P0[13]	8	D15/P0[15]
9	$\overline{\text{DYCS}}$ /P1[8]	10	CKE/P1[9]	11	$\overline{\text{STCS2}}$ /P1[7]	12	$\overline{\text{BLS1}}$ /P1[13]
13	A19/P1[3]	14	A16/P1[0]	15	A13/P0[29]	16	A11/P0[27]
17	A9/P0[25]	18	A7/P0[23]		-		-
Row C							
1	LD1/P4[5]	2	LD0/P4[4]	3	LD2/P4[6]	4	D8/P0[8]
5	D9/P0[9]	6	D10/P0[10]	7	D12/P0[12]	8	D14/P0[14]
9	$\overline{\text{STCS0}}$ /P1[5]	10	$\overline{\text{CAS}}$ /P1[16]	11	$\overline{\text{WE}}$ /P1[15]	12	DQM0/P1[10]
13	A20/P1[4]	14	A17/P1[1] 15	15	A14/P0[30]	16	A12/P0[28]
17	A10/P0[26]	18	A8/P0[24]		-		-
Row D							
1	LD4/P4[8]	2	LD3/P4[7]	3	LD5/P4[9]	4	-
13	-	14	-	15	-	16	A3/P0[19]
17	A4/P0[20]	18	A5/P0[21]		-		-

续表 3

管脚	符号	管脚	符号	管脚	符号	管脚	符号
Row E							
1	$V_{DD1(IO3V3)}$	2	LD6/P4[10]	3	LD7/P4[11]	4	-
13	-	14	-	15	-	16	A0/P0[16]
17	A1/P0[17]	18	A2/P0[18]		-		-
Row F							
1	$V_{SS1(IO)}$	2	LER/P4[3]	3	LRS/P4[1]	4	-
13	-	14	-	15	-	16	DCLKO/P3[3]
17	DATO/P3[6]	18	WSO		-		-
Row G							
1	VSS1(CORE)	2	LRW/P4[2]	3	MCLK/P5[0]	4	-
13	-	14	-	15	-	16	DATI/P3[0]
17	WSI/P3[2]	18	BCKO/P3[5]		-		-
Row H							
1	$V_{DD1(CORE1V8)}$	2	MCMD/P5[1]	3	MD0/P5[5]	4	-
13	-	14	-	15	-	16	SCL
17	BCKI/P3[1]	18	$V_{SS4(IO)}$		-		-
Row J							
1	MD2/P5[3]	2	MD1/P5[4])	3	MD3/P5[2]	4	-
13	-	14	-	15	-	16	MODE2/P2[3]
17	SDA	18	$V_{DD4(IO3V3)}$		-		-
Row K							
1	$\overline{RTS}$ /P6[3]	2	$\overline{CTS}$ /P6[2]	3	RXD/P6[0]	4	-
13	-	14	-	15	-	16	P2[0]
17	P2[1]	18	MODE1/P2[2]		-		-
Row L							
1	$V_{DD(DAC3V3)}$	2	VREFP(DAC)	3	TXD/P6[1]	4	-
13	-	14	-	15	-	16	DCDC_GND
17	START	18	STOP		-		-
Row M							
1	VREFN(DAC)	2	AOUTL	3	AOUTR	4	-
13	-	14	-	15	-	16	DCDC_$V_{DDI(3V3)}$
17	DCDC_V_{BAT}	18	DCDC_CLEAN		-		-
Row N							
1	i.c.[1]	2	i.c.[1]	3	i.c.[1]	4	-
13	-	14	-	15	-	16	DCDC_V_{SS2}
17	DCDC_LX2	18	DCDC_$V_{DDO(1V8)}$		-		-

续表 3

管脚	符号	管脚	符号	管脚	符号	管脚	符号
Row P							
1	$V_{SS6(IO)}$	2	$V_{SS5(IO)}$	3	i.c.[1]	4	-
13	-	14	-	15	-	16	RREF
17	DCDC_LX1	18	DCDC_V_{SS1}				-
Row R							
1	$V_{DD5(IO3V3)}$	2	$V_{DD6(IO3V3)}$	3	i.c.[1]	4	-
13	-	14	-	15	-	16	$V_{SS2(USB)}$
17	$V_{SS1(USB)}$	18	DCDC_$V_{DDO(3V3)}$		-		-
Row T							
1	AINR	2	i.c.[1]	3	$V_{COM(DADC)}$	4	AINL
5	JTAG_TDI	6	AIN3	7	AIN1	8	X32O
9	$V_{SS(OSC)}$	10	XTALI	11	$V_{SS3(INT)}$	12	$V_{SS1(INT)}$
13	$\overline{\text{JTAG_TRST}}$	14	$\overline{\text{RESET}}$	15	CONNECT	16	$V_{SS3(USB)}$
17	DM	18	DCDC_V_{USB}		-		-
Row U							
1	VREF(DADC)	2	VREFP(DADC)	3	$V_{DD(DADC3V3)}$	4	JTAG_SEL
5	AIN4	6	AIN2	7	AIN0	8	$V_{DD(OSC321V8)}$
9	$V_{DD(OSC1V8)}$	10	$V_{SS(ADC)}$	11	$V_{SS2(INT)}$	12	JTAG_TMS
13	JTAG_TDO	14	VBUS/P7[0]	15	$V_{DD1(USB1V8)}$	16	$V_{DD2(USB1V8)}$
17	DP	18	$V_{DD3(USB3V3)}$		-		-
Row V							
1	VREFN(DADC)	2	$V_{SS(DADC)}$	3	$V_{DD(DADC1V8)}$	4	JTAG_TCK
5	$V_{DD2(IO3V3)}$	6	$V_{SS2(IO)}$	7	X32I	8	$V_{SS(OSC32)}$
9	XTALO	10	$V_{DD(ADC3V3)}$	11	$V_{DD2(CORE1V8)}$	12	$V_{SS2(CORE)}$
13	$V_{SS3(IO)}$	14	$V_{DD3(IO3V3)}$	15	$V_{DD1(FLASH1V8)}$	16	$V_{DD2(FLASH1V8)}$
17	$V_{SS3(CORE)}$	18	$V_{DD4(USB3V3)}$		-		-

[1] 这些管脚都是内部相连的，并且在应用中不能悬空。

5.2 管脚描述

表 4 管脚描述

信号名	引脚	类型[1]	描述
模拟输入（双转换器）			
AINL	T4	I	模拟输入通道 L
AINR	T1	I	模拟输入通道 R
VCOM(DADC)	T3	RV	ADC 公共参考电压和片内组合的模拟输出参考电压
VREF(DADC)	U1	RV	ADC 参考电压
VREFN(DADC)	V1	RV	ADC 反向参考电压
VREFP(DADC)	U2	RV	ADC 正向参考电压

续表 4

信号名	引脚	类型[1]	描述
$V_{DD(DADC1V8)}$	V3	P	双 ADC 的 1.8V 电源
$V_{DD(DADC3V3)}$	U3	P	双 ADC 的 3.3V 电源
$V_{SS(DADC)}$	V2	P	双 ADC 的地端
模拟输入（单转换器）			
AIN0	U7	I	多路模拟输入
AIN1	T7	I	多路模拟输入
AIN2	U6	I	多路模拟输入
AIN3	T6	I	多路模拟输入
AIN4	U5	I	多路模拟输入
$V_{DD(DADC3V3)}$	V10	P	3.3V 模拟电源和参考电压
$V_{SS(ADC)}$	U10	P	地
模拟输出（双通道）			
AOUTL	M2	O	DAC 模拟输出 L
AOUTR	M3	O	DAC 模拟输出 R
VREFN(DAC)	M1	RV	反向参考电压
VREFP(DAC)	L2	RV	正向参考电压
$V_{DD(DAC3V.3)}$	L1	P	DAC 的 3.3V 电源
DAI 接口			
BCKI/P3.1	H17	FI	DAI 位时钟；5V GPIO 管脚
DATI/P3.0	G16	FI	DAI 串行数据输入；5VGPIO 管脚
WSI/P3.2	G17	FI	DAI 字选；5VGPIO 管脚
DAO 接口			
BCKO/P3.5	G18	FO	DAO 位时钟；5VGPIO 管脚
DATO/P3.6	F17	FO	DAO 串行数据输出；5VGPIO 管脚
DCLKO/P3.3	F16	FO	256×时钟输出；5VGPIO 管脚
WSO	F18	O	DAO 字选；5VGPIO 管脚
DC/DC 转换器			
START	L17	I	DC/DC 启动
STOP	L18	I	DC/DC 停止
DCDC_CLEAN	M18	P	参考电路地端,不与衬底连接
DCDC_GND	L16	P	DC/DC 主地层和衬底
DCDC_LX1	P17	P	与 DC/DC1 外部线圈相连
DCDC_LX2	N17	P	与 DC/DC2 外部线圈相连
DCDC_V_{BAT}	M17	P	与电池+相连
DCDC_$V_{DDI(3V3)}$	M16	P	DC/DC1 的 3.3V 输入电压
DCDC_$V_{DDO(1V8)}$	N18	P	DC/DC2 的 1.8V 输出电压
DCDC_$V_{DDO(3V3)}$	R18	P	DC/DC1 的 3.3V 输出电压
DCDC_V_{SS1}	P18	P	DC/DC1 的地端,不与衬底连接
DCDC_V_{SS2}	N16	P	DC/DC2 的地端,不与衬底连接
DCDC_V_{USB}	T18	P	与 USB 连接器的+5V 管脚相连

续表 4

信号名	引脚	类型	描述
外部存储器接口			
D0/P0.0	A1	FI	外部存储器数据总线，低字节(I/O)；GPIO 管脚
D1/P0.1	A2		
D2/P0.2	B2		
D3/P0.3	A3		
D4/P0.4	A4		
D5/P0.5	B4		
D6/P0.6	A5		
D7/P0.7	B5		
D8/P0.8	C4	FI	外部存储器数据总线，高字节(I/O)；GPIO 管脚
D9/P0.9	C5		
D10/P0.10	C6		
D11/P0.11	B6		
D12/P0.12	C7		
D13/P0.13	B7		
D14/P0.14	C8		
D15/P0.15	B8		
A0/P0.16	E16	FO	SDRAM 和静态存储器的地址总线；GPIO 管脚
A1/P0.17	E17		
A2/P0.18	E18		
A3/P0.19	D16		
A4/P0.20	D17		
A5/P0.21	D18		
A6/P0.22	A18		
A7/P0.23	B18		
A8/P0.24	C18		
A9/P0.25	B17		
A10/P0.26	C17		
A11/P0.27	B16		
A12/P0.28	C16		
A13/P0.29	B15		
A14/P0.30	C15		
A15/P0.31	A14	FO	静态存储器的地址总线；GPIO 管脚
A16/P1.0	B14		
A17/P1.1	C14		
A18/P1.2	A13		
A19/P1.3	B13		
A20/P1.4	C13		
$\overline{BLS0}$ /P1.12	A12	FO	静态存储器 D[7:0]的字节通道选择，低电平有效；GPIO 管脚
$\overline{BLS1}$ /P1.13	B12	FO	静态存储器 D[15:8]的字节通道选择，低电平有效；GPIO 管脚

续表 4

信号名	引脚	类型	描述
$\overline{CAS}$/P1.16	C10	FO	SDRAM 列地址选通，低电平有效；GPIO 管脚
CKE//P1.9	B10	FO	SDRAM 时钟使能，高电平有效；GPIO 管脚
DQM0//P1.10	C12	FO	SDRAMD[7:0]的数据屏蔽输出，高电平有效；GPIO 管脚
DQM1//P1.11	A11	FO	SDRAMD[15:8]的数据屏蔽输出，高电平有效；GPIO 管脚
$\overline{DYCS}$/P1.8	B9	FO	SDRAM 片选，低电平有效；GPIO 管脚
MCLKO/P1.14	A10	FO	SDRAM 和同步 flash 存储器的时钟；GPIO 管脚
$\overline{OE}$/P1.18	A17	FO	静态存储器输出使能，低电平有效；GPIO 管脚
$\overline{RAS}$/P1.17	A9	FO	SDRAM 行地址选通，低电平有效；GPIO 管脚
$\overline{RPO}$/P1.19	B1	FO	同步 flash 存储器掉电复位，低电平有效；GPIO 管脚
$\overline{STCS0}$/P1.5	C9	FO	静态存储器组 0 片选，低电平有效；GPIO 管脚
$\overline{STCS1}$/P1.6	A8	FO	静态存储器组 1 片选，低电平有效；GPIO 管脚
$\overline{STCS2}$/P1.7	B11	FO	静态存储器组 2 片选，低电平有效；GPIO 管脚
$\overline{WE}$/P1.15	C11	FO	SDRAM 和静态存储器写使能，低电平有效；GPIO 管脚
GPIO 和模式控制			
MODE1/P2.2	K18	FI	启动模式管脚 1（下拉）；5V GPIO 管脚
MODE2/P2.3	J16	FI	启动模式管脚 2（下拉）；5V GPIO 管脚
P2.0	K16	FI	5V GPIO 管脚
P2.1	K17	FI	5V GPIO 管脚
I^2C 接口			
SCL	H16	I/O	串行时钟（输入/开漏输出）；最大 5V 管脚
SDA	J17	I/O	串行数据（输入/开漏输出）；最大 5V 管脚
JTAG 接口			
JTAG_SEL	U4	I	JTAG 选择（下拉）；最大 5V 管脚
JTAG_TCK	V4	I	JTAG 复位输入（下拉）；最大 5V 管脚
JTAG_TDI	T5	I	JTAG 数据输入（上拉）；最大 5V 管脚
JTAG_TMS	U12	I	JTAG 模式选择输入（上拉）；最大 5V 管脚
$\overline{JTAG_TRST}$	T13	I	JTAG 复位输入（下拉）；最大 5V 管脚
JTAG_TDO	U13	O	JTAG 数据输出；最大 5V 管脚
LCD 接口			
LCS/P4.0	B3	FO	LCD 设备的片选，可编程极性；5V GPIO 管脚
LD0/P4.4	C2	FO	输入输出 LCD 的数据总线（I./O）；5V GPIO 管脚
LD1/P4.5	C1	FO	
LD2/P4.6	C3	FO	
LD3/P4.7	D2	FO	
LD4/P4.8	D1	FO	
LD5/P4.9	D3	FO	
LD6/P4.10	E2	FO	
LD7/P4.11	E3	FO	
LER/P4.3	F2	FO	6800E 或 8080 $\overline{RD}$ 或 5V GPIO 管脚

续表 4

信号名	引脚	类型	描述
LRS/P4.1	F3	FO	‘高’数据寄存器选择，‘低’指令寄存器选择，或 5V GPIO 管脚
LRW/P4.2	G2	FO	6800W/$\overline{\text{R}}$ 或 8080 $\overline{\text{WR}}$ 或 5V GPIO 管脚
存储卡接口			
MCMD/P5.1	H2	FI	命令（I/O)；5V GPIO 管脚
MD0/P5.5	H3	FI	输入/输出 MCI/SD 卡的数据总线（I/O)；5V GPIO 管脚
MD1/P5.4	J2	FI	输入/输出 MCI/SD 卡的数据总线（I/O)；5V GPIO 管脚
MD2/P5.3	J1	FI	输入/输出 MCI/SD 卡的数据总线（I/O)；5V GPIO 管脚
MD3/P5.2	J3	FI	输入/输出 MCI/SD 卡的数据总线（I/O)；5V GPIO 管脚
MCLK/P5.0	G3	FO	MCI 时钟输出；5V GPIO 管脚
振荡器（32.768kHz）			
X32I	V7	I	32.768kHz 振荡器输入
X32O	T8	O	32.768kHz 振荡器输出
$V_{DD(OSC321V8)}$	U8	P	1.8V
$V_{SS(OSC32)}$	V8	P	地
主振荡器			
XTALI	T10	I	主振荡器输入
XTALO	V9	O	主振荡器输出
$V_{DD(OSC1V8)}$	U9	P	1.8V
$V_{SS(OSC)}$	T9	P	地
复位			
$\overline{\text{RESET}}$	T14	I	主设备复位，低电平有效；最大 5V 管脚
UART			
$\overline{\text{CTS}}$ /P6.2	K2	FI	清除发送或接收流控制，低电平有效；5V GPIO 管脚
RXD/P6.0	K3	FI	串行输入；5V GPIO 管脚
$\overline{\text{RTS}}$ /P6.3	K1	FO	请求发送或接收流控制，低电平有效；5V GPIO 管脚
TXD/P6.1	L3	FO	串行输出，5V GPIO 管脚
USB 接口			
CONNECT	T15	P	发信号告知速率大小，用于高速 USB，通过一个 1.5kΩ外电阻连接到 3.3V。
DM	T17	I/O	USB 反向数据线
DP	U17	I/O	USB 正向数据线
RREF	P16	P	收发器参考，通过一个 12kΩ精度 1%的外电阻连接到地。
VBUS/P7.0	U14	FI	USB 电源检测；5V GPIO 管脚
$V_{DD1(USB1V8)}$	U15	P	模拟 1.8V
$V_{DD2(USB1V8)}$	U16	P	模拟 1.8V
$V_{DD3(USB3V3)}$	U18	P	模拟 3.3V
$V_{DD4(USB3V3)}$	V18	P	模拟 3.3V
$V_{SS1(USB)}$	R17	P	模拟地
$V_{SS2(USB)}$	R16	P	模拟地
$V_{SS3(USB)}$	T16	P	模拟地

续表 4

信号名	引脚	类型	描述
数字电源和地			
$V_{DD1(CORE1V8)}$	H1	P	1.8V 内部 RAM 和 ROM 电源
$V_{DD1(FLASH1V8)}$	V15	P	1.8V 内部 flash 存储器电源
$V_{DD1(EMC)}$	A16	P	1.8V 或 3.3V 外部存储器控制器电源
$V_{DD1(IO3V3)}$	E1	P	3.3V 外设电源
$V_{DD2(CORE1V8)}$	V11	P	1.8V 内核电源
$V_{DD2(EMC)}$	A7	P	1.8V 或 3.3V 外部存储器控制器电源
$V_{DD2(FLASH1V8)}$	V16	P	1.8V 内部 flash 存储器电源
$V_{DD2(IO3V3)}$	V5	P	3.3V 外设电源
$V_{DD3(IO3V3)}$	V14	P	3.3V 外设电源
$V_{DD4(IO3V3)}$	J18	P	3.3V 外设电源
$V_{DD5(IO3V3)}$	R1	P	3.3V 外设电源
$V_{DD6(IO3V3)}$	R2	P	3.3V 外设电源
$V_{SS1(CORE)}$	G1	P	内部 RAM 和 ROM 的地端
$V_{SS1(EMC)}$	A15	P	外部存储器控制器的地端
$V_{SS1(INT)}$	T12	P	其它内部模块的地端
$V_{SS1(IO)}$	F1	P	外设的地端
$V_{SS2(CORE)}$	V12	P	内核的地端
$V_{SS2(EMC)}$	A6	P	外部存储器控制器的地端
$V_{SS2(INT)}$	U11	P	其它内部模块的地端
$V_{SS2(IO)}$	V6	P	外设的地端
$V_{SS3(CORE)}$	V17	P	内核，衬底，flash 的地端
$V_{SS3(INT)}$	T11	P	其它内部模块的地端
$V_{SS3(IO)}$	V13	P	外设的地端
$V_{SS4(IO)}$	H18	P	外设的地端
$V_{SS5(IO)}$	P2	P	外设的地端
$V_{SS6(IO)}$	P1	P	外设的地端

[1] I 为输入，O 为输出，I/O 为输入/输出，RV 为参考电压，FI 为功能输入，FO 为功能输出，P 为电源或地。

第6章 功能描述

6.1 结构概述

LPC2880/2888 包含一个带 8kB 高速缓存的 ARM7TDMI CPU，一条 AMBA 先进的高性能总线（AHB），与高速片内外设和内部、外部存储器连接，以及 4 条 AMBA 先进的外设总线（APB），与其它片内外设功能连接。

为了减少 USB 控制器，其它 DMA 操作与处理器活动之间的冲突，LPC2880/2888 采用一个多层 AHB 和 4 个独立的 APB 结构。总线主设备包括 ARM7，USB 模块，以及通用 DMA 控制器。

低速外设功能连接到 APB 总线上，APB 总线采用 4 个 AHB 到 APB 桥与 AHB 总线相连。

6.1.1 ARM7TDMI 处理器

ARM7TDMT 是一个通用 32 位微控制器，可提供高性能和低功耗。ARM 构架基于精简指令集计算机（RISC）原理，指令集和相关的译码机制与微程序控制的 CISC 相比要简单得多。这种简单性使得在一个小的，低成本的处理器内核上实现了高的指令吞吐量和出色的实时中断响应。

ARM7TDMT 采用流水线技术，所有处理和存储系统都能够连续操作。通常，当一条指令正在执行时，它的下一条指令正在译码，第 3 条指令正从存储器中取指。

ARM7TDMI 处理器还采用一种称作 THUMB 的独特的结构化策略，它使得处理器能够理想地用于存储器受限制的大批量应用，或要求较高代码密度的应用。

THUMB 背后的一个关键概念是超精简指令集。基本上，ARM7TDMI 处理器有 2 个指令集：

- 标准的 32 位 ARM 指令集
- 16 位 THUMB 指令集

THUMB 指令集的 16 位指令长度使其可以达到标准 ARM 代码两倍的密度，却仍然保持 ARM 的大多数性能上的优势，这些优势是使用 16 位寄存器的传统 16 位处理器所不具备的。因为 THUMB 代码和 ARM 代码一样，在相同的 32 位寄存器上进行操作。

THUMB 代码仅为 ARM 代码规模的 65%，但其性能却相当于连接到 16 位存储器系统的相同 ARM 处理器性能的 160%。

有关 ARM7TDMI 处理器的详细描述请参考 ARM 网站。

6.1.2 片内 flash 存储器系统

LPC2880/2888 含有 1MB flash 存储器系统。该存储器可用于代码和数据存储。Flash 存储器的编程有几种方法可以实现。它可以通过 USB 端口进行在系统编程。当应用程序正在运行时，也可以对 flash 进行擦除和/或编程，这样对数据存储区的固件升级提供了一个相当大的灵活度。

Flash 为 128 位宽并带缓冲，允许 4 个连续读操作中有 3 个能够实现无等待操作。

6.1.3 片内静态 RAM

LPC2880/2888 含有 64kB 静态 RAM，可以用作代码和/或数据存储。

6.1.4 片内 ROM

LPC2880/2888 含有一个带 boot 代码的片内 ROM，复位后程序将从片内 ROM 开始执行。

该 ROM 中的 boot 代码读出模式输入的状态并相应地执行下面的一个操作：

- 从内部 flash 开始执行
- 从外部存储器开始执行
- 执行硬件自检或
- 将代码从 USB 接口下载到片内 RAM 并对已下载代码进行控制。

6.2 存储器映射

LPC2880/2888 存储器映射由几个不同的存储区组成，如图 3 所示。当应用程序正在运行时，CPU 中断向量重新映射允许将其置于片内 SRAM。

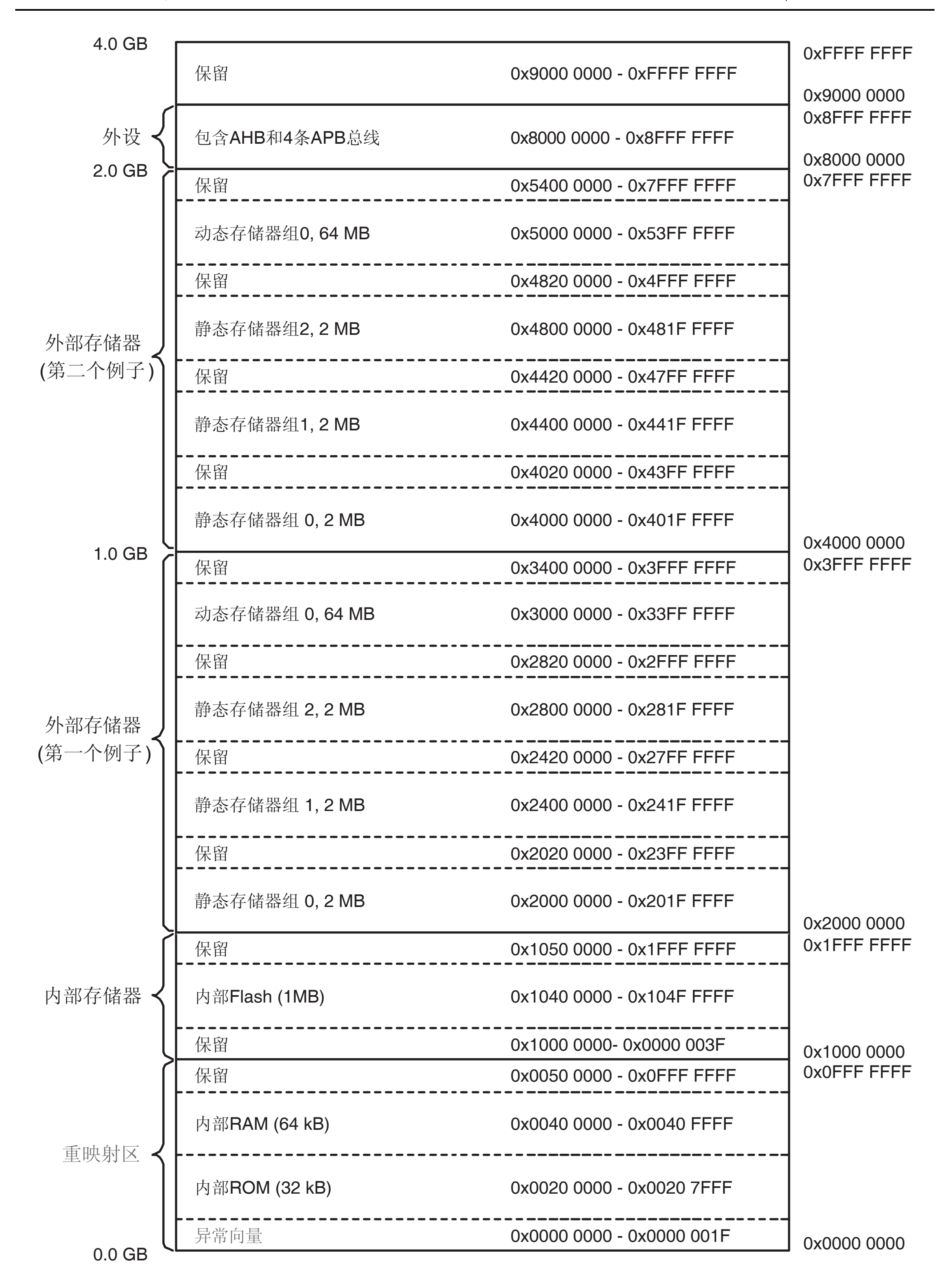


图 3 存储器映射

6.3 高速缓存

LPC288x 的 CPU 扩展了双路集联（2way set-associative）的高速缓存控制器。该缓存的大小为 8kB，能够存储数据和指令代码。

如果执行指令时其下一条即将执行的代码从高速缓存中获得，则 CPU 感觉不到代码取指的等待。类似的，如果所需数据从高速缓存中获得，则 CPU 感觉不到数据访问的等待。

引入这个高速缓存需平衡一点的是：如果将高速缓存旁路，则每执行一次 AHB 访问将插入一个额外的等待状态。因此，对于片内和片外存储器的大部分区域，指令和数据高速缓存最好都开启。

6.3.1 高速缓存的操作

对于高速缓存使能的每一页，其工作步骤如下：

- 如果 CPU 请求一次读操作并且信息不在高速缓存中（缓存缺失（cache miss）），则将从 AHB 总线的 8 个 32 位字中选取一条线执行读操作。CPU 需等待直到该处理完成。
- 如果 CPU 请求一次读操作并且信息在高速缓存中（缓存命中（cache hit）），则从缓存中读出信息，CPU 无需等待。
- 如果执行数据写入操作，并且写入的单元不在高速缓存中（缓存缺失（cache miss）），则数据将直接写入存储器中。
- 如果执行数据写入操作，并且写入的单元在高速缓存中，由于在之前已读取该单元（缓存命中（cache hit）），则写入时无需等待并将该缓存线（cache line）标记为‘dirty’。
- 如果由于缓存缺失而将一条‘dirty’缓存线丢弃（缓存线需重新供其它存储区域使用），则将原来的缓存线写回到存储器中（缓存线刷新（flush））。

高速缓存可以设置为只有数据缓存，只有指令缓存或两者都有。它有 16 个可配置的页，每页有 2MB 空间。它们位于存储器映射的底部 32MB。每一页都可以配置虚拟地址和使能/禁止状态。

6.3.2 特性

- 8kB，双路集联的高速缓存
- 可用作指令和数据缓存
- 一次缓存命中时不需要等待
- 16 个可配置的页，每页 2MB。

6.4 Flash 存储器和编程

LPC2888 含有 1MB flash 存储器系统，而 LPC2880 不含 flash。LPC2888 的 flash 可用作代码和数据存储。

Flash 存储器的编程可以有几种方法来实现。可以通过 USB 端口在系统中编程。当应用程序正在运行上，也可以对 flash 进行擦除和/或编程，这样对于数据存储，现场固件升级等就有了极大的灵活度。

在运行应用程序时对 flash 进行编程可通过 APB 总线上的寄存器接口来完成。在烧写或擦除完成时 Flash 模块能够产生一个中断请求。

Flash 存储器含有一个缓冲区可实现快速执行。从 flash 中读取信息时，一次可读取 128 位。这个缓冲区保留一次读取的所有信息，并表示成 4 条 32 位 RAM 指令。然后，捕获的这些指令可以在没有 flash 读延迟的情况下执行，从而提高系统性能。

6.4.1 特性

- flash 访问，例如处理器执行指令和读取数据，是通过 AHB 总线实现的。
- 在运行应用程序时对 flash 进行编程可通过 APB 寄存器接口完成。
- 首次编程或重新编程都可以通过 USB 端口完成。

6.5 外部存储器控制器

LPC2880/2888 的外部存储器控制器（EMC）是一个多端口存储器控制器，它支持包括 RAM、ROM、flash 在内的异步静态存储器件，以及包括 SDR SDRAM 在内的动态存储器。它遵循 ARM 的先进的微控制器总线结构（AMBA）。

6.5.1 特性

- 支持包括 SDR SDRAM 在内的动态存储器接口
- 支持包括 RAM、ROM、flash 在内的异步静态存储器件，带有或不带有异步分页模式。
- 低传输延迟
- 读和写缓冲区用来降低延迟并提高性能。
- 支持 8 位和 16 位静态存储器
- 支持 16 位 SDRAM 存储器
- 静态存储器特性包括：

  －异步分页模式读访问

  －等待状态可编程

  －总线转向延迟

  －输出使能和写使能延迟

  －等待延长

  －2MB 地址范围，3 个片选
- 一个片选用于同步存储器，3 个片选用于静态存储器件
- 节电模式动态地控制 SDRAM 的 CKE 和 CLKOUT。
- 软件控制动态存储器的自动刷新模式。
- 控制器支持 2k、4k、和 8k 行地址同步存储元件。对于具有 4、8、或 16 条数据线的器件，典型的就有 512MB、256MB、和 128MB 元件。

注：不支持同步静态存储器件（同步突发模式）。

6.6 通用 I/O

LPC2880/2888 器件中不需要用作特定外设功能的管脚都可以用作 GPIO。这些管脚可以由 MODE 寄存器控制，将管脚动态地配置为输入或输出。各个独立的寄存器允许同时将任意个输出置位或清零。端口管脚的当前状态可以通过 PIN 寄存器读回。

6.6.1 特性

- 有 81 个管脚具有双重功能，可以用作特定功能的 I/O 或 GPIO。
- 所有两用管脚都可以设置为功能 I/O，驱动高电平，驱动低电平，或高阻态/输入。
- 有 4 个管脚只作 GPIO 使用，可设置为驱动高电平，驱动低电平，或高阻态/输入。

6.7 中断控制器

中断控制器接受所有中断请求输入并将它们分为快速中断请求（FIQ）或 IRQ。其分配机制可编程，这意味着来自不同外设的中断的优先级能够进行动态分配和调整。

FIQ 具有最高优先级。如果将多个中断请求指定为 FIQ，则中断控制器结合中断请求向 ARM 处理器产生 FIQ 信号。

中断控制器结合来自所有向量 IRQ 的中断请求来向 ARM 处理器产生 IRQ 信号。通过从中断控制器中读寄存器并跳转到相应地址来启动 IRQ 服务程序。

6.7.1 特性

- 将 LPC2880/2888 的所有中断源映射为处理器 FIQ 和 IRQ。
- 中断源电平敏感
- 中断源优先级可编程
- 嵌套中断能力
- 每个中断源都具有软件中断能力

6.8 事件导向器

LPC2880/2888 的事件路由器模块连接了器件的 88 个外部信号和 11 个内部信号。它可以对 GPIO 输入管脚，功能输入管脚，甚至功能输出进行监控。

每个信号都可作为 LPC2880/2888 模块的中断源或时钟使能，可单独选择高电平或低电平敏感，上升沿或下降沿敏感。优先级和敏感逻辑的输出可以从原始状态寄存器 0～3 中读出。

各个有效状态随后被该信号的“全局”屏蔽位屏蔽/使能。结果可以从挂起（pending）寄存器 0～3 中读出。

这 99 个挂起信号分别传输给 5 个输出逻辑模块。每个输出逻辑模块都包含一组 4 个中断输出屏蔽寄存器，一组共有 99 个位，这些中断输出屏蔽寄存器控制每个信号是否都要施加在对应的输出上。它们与对应的挂起信号进行逻辑与。每个逻辑模块的 99 个结果进行逻辑或来产生该模块的输出。这 496 个结果可以从中断输出挂起寄存器中读出。

将输出 0～3 传输给中断控制器，在中断控制器中，这 4 个信号中的每一个都可以单独使能来产生中断。输出 4 传输给时钟发生单元，它在时钟发生单元中用来使能所选时钟域的计时功能。这 5 个输出可以从输出寄存器中读出。

6.9 通用定时器

LPC2880/2888 包含 2 个完全独立的通用定时器。每个定时器都是带可选预分频器的 32 位递减计数器。预分频器允许直接使用系统时钟，或将其进行 16 或 256 分频后使用。

这 2 个通用定时器有 2 种工作模式，自由运行模式和周期定时器模式。在周期定时器模式中，计数器每经过一个恒定的时间间隔后将产生一次中断。在自由运行模式中，定时器在到达计数值 0 之后将溢出，并从最大值开始继续递减计数。

6.9.1 特性

- 2 个独立的 32 位定时器
- 自由运行模式或周期定时器模式
- 产生定时的中断

6.10 看门狗定时器

看门狗定时器的用途是当微控制器进入错误状态时，可以在一个合理的时间内中断和/或复位微控制器。当看门狗使能时，如果用户程序没有在一个确定的时间内复位看门狗，它将产生一次中断或系统复位。另外，看门狗定时器也可以用作通用定时器。

WDT 时钟可以使 32 位预分频计数器实现加 1 操作，它的值不断地与预分频寄存器的值进行比较。当预分频计数器与预分频寄存器的值在 WDT 时钟沿时刻相等时，预分频计数器清零，32 位定时器计数器加 1。因此，预分频工具将 WDT 时钟分频，分频值为预分频寄存器的值加 1。

定时器计数器的值不断地与匹配寄存器 0 和 1 中的值进行比较。当/如果定时器/计数器的值与匹配寄存器 0 的值在 WDT 时钟沿时刻相等时，可以向事件导向器发送信号‘m0’，结果可以设置为向中断控制器发送一个中断信号。当/如果定时器计数器的值与匹配寄存器 1 的值在 WDT 时钟沿时刻相等时，可以向 CGU 发送信号‘m1’，结果会将芯片复位。CGU 还包含一个用来表示复位是否是由看门狗超时引起的标志位。

6.10.1 特性

- 如果不是周期重装，可以选择是否将芯片复位（通过时钟发生单元）。
- 可选择通过事件导向器产生中断
- 32 位预分频器和 32 位计数器，允许延长看门狗周期。

6.11 实时时钟

实时时钟（RTC）是在系统带电时，用来测量时间的一组计数器，并且在系统掉电时该功能可选。在任一种模式下 RTC 的功耗都很小。

6.11.1 特性

- 测量时间来提供日历和时钟
- 超低功耗设计，支持电池组供电系统
- 提供秒、分、时、一月内的某天、月、年、一周内的某天、和一年内的某天等信息。

- 专用的 32kHz 振荡器
- 专用的电源管脚能够与电池或 1.8V 主电源相连。

6.12 通用 DMA 控制器

LPC2880/2888 的通用 DMA 控制器（GPDMA）是一个 AMBA AHB 主设备，允许 LPC2880/2888 所选的外设具有 DMA 支持。GPDMA 通道支持的外设包括 MCI/SD 卡接口，UART Tx 和/或 Rx，I^2C 接口，到 I^2S/DAO 和 16 位双 DAC 的简单模拟输出（SAO）前置，I^2S/DAI 和 16 位双 ADC 数据的简单模拟输入（SAI）接口，以及到 LCD 接口。

6.12.1 特性

- 8 个 DMA 通道，每个通道都能够支持单向传输，或使用一对通道来跟随缓冲区地址和传输计数的链表。
- GPDMA 提供 16 条外设 DMA 请求线。大部分的请求线都与上面列出的外设相连。有两条能够用作外部请求。
- GPDMA 支持由 ARM DMA 通道支持的流控信号的子集，特定是"单次"而不是"突发"操作。
- 存储器到存储器，存储器到外设，外设到存储器，和外设到外设传输
- 通过使用链表可以支持 DMA 分散或聚集。这意味着源与目标区不一定要占用连续的存储区。
- 通道优先级循环。每个 DMA 通道都有同等的机会来执行传输。
- GPDMA 是 LPC2880/2888 的 3 个 AHB 主设备之一，另两个是 ARM7 处理器和 USB 接口。
- 源与目标的地址加 1 和不加 1 操作。
- 支持 8、16、和 32 位处理。
- GPDMA 通道可设置为传输过程中在大端和小端格式之间交换数据。
- DMA 完成时、DMA 通道正在执行时、或产生 DMA 错误时，都能够向处理器产生一次中断。

6.13 UART 和 IrDA

LPC2880/2888 包含一个带波特率发生器和 IrDA 支持的 UART。

6.13.1 特性

- 32 字节的接收和发送 FIFO
- 寄存器位置遵循'650 工业标准
- 接收 FIFO 的触发点为 1、16、24、和 28 字节
- 内置的波特率发生器
- CGU 产生具有小数分频器能力的 UART 时钟
- 自动波特率功能

- 硬件流控（flow control）可选
- 用于红外线通信的 IrDA 模式

6.14 I^2C 总线接口

LPC2880/2888 的 I^2C 总线接口是面向字节的，具有 4 种操作模式：主发送模式，主接收模式，从发送模式和从接收模式。该接口遵循完整的 I^2C 规范，并且可以掉电，而不会使相同 I^2C 总线上的其它器件产生故障。

6.14.1 特性

- 标准 I^2C 总线接口，可配置为主机，从机，或主/从机。
- 在同时发送的主机之间进行仲裁，从而避免总线上的串行数据的讹误。
- 时钟可编程，允许对 I^2C 总线的传输速率进行调整。
- 主机和从机之间的双向数据传输
- 串行时钟同步，允许具有不同位速率的设备通过一条串行总线进行通信。
- 串行时钟同步能用作握手机制来挂起和恢复串行传输。
- 支持常规操作（100kHz）和快速操作（400kHz）。

6.15 10 位 A/D 转换器

LPC2880/2888 包含一个 5 路通道、10 位逐次逼近式模数转换器。

6.15.1 特性

- 10 位逐次逼近式模数转换器
- 输入 5 路复用
- 掉电模式
- 测量范围 0～3.3V
- 10 位转换时间≥2.44μs
- 单次或连续转换模式

6.16 模拟 I/O

模拟 I/O 系统包括一个 I^2S 输入通道，一个 I^2S 输出通道，一个双 A/D 转换器，和一个双 D/A 转换器。每个通道包含一个独立的 4 采样 FIFO。

两个 ADC 输入中的任一个与可编程增益放大器（PGA）相连。

每个 DAC 都有两个输出管脚。

6.16.1 特性

- 带 4 采样 FIFO 的 I^2S 总线输入通道，用于立体声数字模拟输入（DAI）。
- 带 4 采样 FIFO 的 I^2S 总线输出通道，用于立体声数字模拟输出（DAO）。
- 16 位双 A/D 转换器。每个输入都通过可编程的增益放大器传输。产生的输入通过 4 采样 FIFO。
- 16 位双 D/A 转换器。每个 DAC 都有自己的输出管脚。产生的输出通过 4 采样 FIFO。

6.17 USB2.0 高速设备控制器

USB 是一个 4 线总线，支持一个主机与多个外设（最多 127 个）之间的通信。主控制器通过一个基于协议的令牌将 USB 带宽分配给悬挂在上面的从机。USB 总线支持设备的热插拔和动态配置。所有处理都由主控制器启动。

主控制器在 1ms 帧内进行事务调度。每帧包含一个 SoF 标记和进出设备端点的数据传输处理。这里给端点定义了 4 种类型的传输。控制传输用来配置设备，中断传输用作周期数据传输，批量传输在传输速度要求不高时使用，实时传输保证了传输时间但没有错误校正功能。

LPC2880/2888 的 USB 控制器能够与一个 USB 主控制器之间进行 480Mb/s 或 12Mb/s 的数据交换。它包括一个 USB 控制器，一个 DMA 引擎，和一个 USB2.0ATX 物理接口。

USB 控制器由协议引擎和缓冲区管理模块组成。它包含一个 SRAM，可以由 DMA 引擎访问，以及通过寄存器接口由处理器访问。

DMA 引擎是一个 AHB 主设备，可以直接访问 ARM 的所有存储空间，尤其是对片内 RAM 的访问。每个要求其数据通过 DMA 传输的 USB 端点都在 DMA 引擎中分配了一个逻辑 DMA 通道。

如果断点需要小数据包长度，则可通过软件对 USB 控制器的寄存器进行处理来实现。特别是控制端点 0 始终采用这种方式处理。

6.17.1 特性

- 完全遵循 USB2.0 规范（HS 和 FS）
- 8 个逻辑端点＝16 个物理端点
- 支持控制，批量，中断和实时端点
- 由软件选择端点类型
- 由软件设置端点的最大数据包长度。
- 支持软连接（soft connect）特性（在 CONNECT 焊盘和 3.3V 之间需连接一个 1.5kΩ外电阻）。
- 支持具有低暂停电流的总线供电能力。
- 两个 DMA 通道，可分配给 4 个物理端点中的任一个。
- 支持 AHB 上的突发数据传输
- 支持 AHB 上的重试和分离（split）处理

6.18 SD/MMC 卡接口

安全数字和多媒体卡接口（MCI）是 APB 系统总线与多媒体和/或安全数字存储卡之间的接口。

该接口提供了所有特定用于安全数字/多媒体存储卡的功能，例如：时钟发生单元，功率管理控制，命令和数据传输，中断产生，和 DMA 请求产生。

6.18.1 特性

- 遵循多媒体卡规范 v2.11
- 遵循安全数字存储卡物理层规范 v0.96。
- 用作多媒体卡总线或安全数字存储卡总线主机。它能够连接几个多媒体卡，或一个安全数字存储卡。
- 通过简易 DMA 工具支持 DMA 传输

6.19 LCD 接口

LPC2880/2888 的 LCD 接口逻辑能够与兼容 6800 或 8080 总线的 LCD 控制器进行连接。该 LCD 接口与 6800 总线标准以及 8080 总线标准兼容，它的一个地址管脚（RS）用来选择数据或指令寄存器。

LCD 接口利用一个可配置时钟（在 CGU 中编程）来调整 6800/8080 总线的速度，以与所连外设的速度匹配。

6.19.1 特性

- 8 位或 4 位并行接口模式：6800 系列，8080 系列
- 总线频率可选，以便支持高速和低速 LCD 控制器。
- 支持对 LCD 控制器的忙标志进行查询，来避免 CPU 查询。
- 包含一个 16 字节的 FIFO，用于向 LCD 控制器发送控制和数据信息。
- 包含一个串行接口，它使用相同的 FIFO 进行串行传输。
- 支持对通用 DMA 控制器的 FIFO 级流控制。

6.20 时钟和功率控制

LPC288x 的时钟由通用时钟发生单元（CGU）控制，因此，在允许对功耗进行优化的同时能够满足系统和外设的要求。大多数功能的时钟可以在不需要时关闭，也可以通过事件导向器由所选的事件使能或禁止。

LPC288x 的时钟源包括一个高频（1MHz～20MHz）晶振和一个 32kHz RTC 振荡器。更高频率的时钟可通过两个可编程的 PLL 来产生。

各个功能模块的复位也可以由 CGU 来控制，芯片完全复位由外部复位管脚或看门狗定时器启动。

6.20.1 特性

- 通用时钟发生单元可用于各个功能模块，从而实现对功率和性能进行控制。
- 包括外部晶振和可编程 PLL 在内的多个时钟源
- 软件能够对多个功能模块进行单独复位

6.20.2 复位

LCP2880/2888 有两个复位源：$\overline{\text{RESET}}$ 管脚和看门狗复位。$\overline{\text{RESET}}$ 管脚有一个片内上拉，上电时，该管脚的低电平必须在电源电压稳定之后保持 1ms 有效，这也适用于片内 DC/DC 转换器的电压。

当移去复位信号后，处理器从地址 0（复位向量）开始执行。在该点处，所有的处理器和外设寄存器都已初始化为预先确定的值。

如果在可编程的时间间隔内没有对片内看门狗定时器进行更新，则它将产生芯片复位。通过读状态寄存器可以确定复位是否是由看门狗定时器引起的。如果需要，看门狗定时器也可以配置为产生中断。

另外，在 CGU 内可以通过操作寄存器来实现各个功能模块的软件复位。

6.20.3 晶体振荡器

主振荡器默认是大多数芯片功能使用的基准时钟。主振荡器的晶振频率为 1MHz～20MHz。

6.20.4 PLL

LPC2880/2888 包含两个 PLL：一个主 PLL，用来提供大多数芯片功能的时钟；另一个高速 PLL，能够为所选芯片功能提供更快的时钟。每个 PLL 都可以有几个时钟源，包括主振荡器（1MHz～20MHz），RTC 振荡器（32kHz），I^2S 输入通道的位时钟或字选输入，SD/MMC 卡接口的时钟输入，或另一个 PLL 的输出时钟。

低功耗 PLL 在获取输入时钟后，将其倍频到高频（1～32），然后对其进行分频（1、2、4、8）来获得供 CGU 使用的输出时钟。这个 PLL 的输出频率为 10MHz～320MHz。某些功能模块可能达不到上限。

高速 PLL 在获取输入时钟后，可以选择将其分频（1～256），再倍频到一个高频（1～1024），然后分频（1～16），来获得供 CGU 使用的输出时钟。这个 PLL 的输出频率可以从 4.3MHz～550MHz。某些功能模块可能达不到上限。

6.20.5 功率控制和模式

LPC288x 的功率控制是通过 CGU 对各个功能模块的时钟进行控制来实现的。LPC288x 含有一个通用的时钟机制，可以对性能和功率使用提供多种控制。

LPC288x 的片内功能分为 11 组，每组都有几个基准时钟源选项。这几个时钟源之间可实现无干扰切换。

这 11 个功能组中有 3 个组含有一个小数分频器，允许获得任何小于所选时钟的频率。另外还有 3 个功能组含有多个小数分频器，允许在组内产生几个不同的低速时钟。然后，该组内的各个功能可以使用所产生时钟中的任一个。

任何组内的功能都可以通过禁止该功能的时钟来单独关闭。当添加了通用时钟率选项

后，允许对功率使用进行详细控制。

各个功能还可以配置为根据事件导向器的信号自动打开和关闭时钟。

6.20.6 APB 总线

许多外设功能通过片内 APB 总线进行访问，它连接到更高速的 AHB 总线上。APB 总线在对外设寄存器执行读和写访问时需 3 个外设时钟。

6.21 仿真和调试

LPC2880/2888 支持通过专用 JTAG 串口进行仿真。这个专用的 JTAG 端口允许调试所有芯片特性而不会影响到应用中可能用到的任何管脚。

标准的 ARM EmbeddedICE 逻辑提供片内调试支持。对目标系统的调试需要一台运行调试软件的主机和一个 EmbeddedICE 协议转换器。该协议转换器将远程调试协议命令转换为访问 ARM 内核所需的 JTAG 数据。

第7章 极限值

表 5 极限值

依照绝对最大额定系统（IEC60134）[1]

符号	参数	调节	最小	最大	单位
$V_{DD(1V8)}$	电源电压（1.8V）		-0.5	+1.95	V
$V_{DD(3V3)}$	电源电压（3.3V）		-0.5	+3.6	V
$V_{DD(EMC)}$	外部存储器控制器电源电压	在 1.8V 范围内	-0.5	+1.95	V
		在 3.3V 范围内	-0.5	+3.6	V
V_{IA}	模拟输入电压		-0.5	$V_{DD(ADC,3V3)}$	V
V_I	输入电压	[2][3][4]	-0.5	5.0	V
	输入电压	[2][3][5]	-0.5	3.6	V
I_{DD}	源电流	[6]	<tbd>	<tbd>	mA
I_{SS}	接地电流	[7]	<tbd>	<tbd>	mA
T_{stg}	存储温度		-40	125	℃
$P_{tot(pack)}$	总的功率损耗（一个封装）	基于封装的热传递，不是器件的功耗		<tbd>	W
V_{esd}	静电放电电压	人体模型[8]			
		所有管脚	-2000	+2000	V
		机器模型[9]			
		所有管脚	-200	+200	V

[1] 以下应用于表 5：

a) 该产品包含专门设计用来保护其内部器件的电路，用来防止过量静电荷的破坏作用。但建议仍要采取一些常规措施避免超过最大额定值。

b) 参数在工作温度范围内有效，除非另有说明。所有电压都是相对于 V_{SS} 而言的，除非另有说明。

[2] 除外部存储器总线和 USB 管脚外，其它所有输入最大可承受 5V。

[3] 包含三态模式下输出端的电压

[4] 最大可承受 5V 的管脚

[5] 其它 I/O 管脚

[6] 每个电源管脚

[7] 每个接地脚

[8] 人体模型：等效于 100pF 电容通过 1.5kΩ 串联电阻放电。

[9] 机器模型：等效于 200pF 电容通过 0.75μH 线圈和 10Ω 串联电阻放电。

第8章 静态特性

表 6 静态特性

T_a＝-40℃~+85℃, 除非另有说明。

符号	参数	条件	最小	典型[1]	最大	单位
$V_{DD(1V8)}$	电源电压（1.8V）	[2]	1.7	1.8	1.95	V
$V_{DD(3V3)}$	电源电压（3.3V）	[3]	3	3.3	3.6	V
$V_{DDA(3V3)}$	模拟电源电压（3.3V）	[4]	3	3.3	3.6	V
$V_{DD(EMC)}$	外部存储器控制器电源电压	在 1.8V 范围内[5]	1.7	1.8	1.95	V
		在 3.3V 范围内[5]	2.7	3.3	3.6	V
I_{IL}	低电平输入电流	V_I=0V;无上拉	-	-	3	μA
I_{IH}	高电平输入电流	V_I=V_{DD};无下拉[6]	-	-	3	μA
I_{OZ}	高阻态输出电流	V_O=0V;V_O=V_{DD}; 无上拉/下拉[6]	-	-	3	μA
I_{latch}	I/O 闩锁电流	-(1.5V_{DD})<V_I< (1.5V_{DD})[6]	-	-	100	mA
V_I	输入电压	[6] [7] [8]	0	-	V_{DD}	V
V_{IH}	高电平输入电压	[9]	1.6	-	-	V
		[10]	2.0	-	-	V
V_{IL}	低电平输入电压	[9]	-	-	0.6	V
		[10]	-	-	0.8	V
V_{OH}	高电平输出电压	I_{OH}= -1mA[9][11]	V_{DD}-0.4	-	-	V
		I_{OH}= -4mA[10][11]	V_{DD}-0.4	-	-	V
V_{OL}	低电平输出电压	I_{OL}= 4mA[9][11]	-	-	0.4	V
		I_{OL}= 4mA[10][11]	-	-	0.4	V
I_{OH}	高电平输出电流	V_{OH}=V_{DD}-0.4V[6][11]	-	-4	-	mA
I_{OL}	低电平输出电流	V_{OL}=0.4V[6][11]	-	4	-	mA
I_{OHS}	高电平短路输出电流	V_{OH}=0V[12]	-	-45	-	mA
I_{OLS}	低电平短路输出电流	V_{OL}=V_{DD}[6][12]	-	45	-	mA
$I_{DD(CORE)}$	内核源电流	V_{DD}=1.8V[13]	-	60	-	mA
$I_{DD(EMC)}$	外部存储器控制器源电流	$V_{DD(EMC)}$=1.8V	-	tbd	-	mA
		$V_{DD(EMC)}$=3.3V	-	tbd	-	mA
I_{BAT}	电池源电流	DCDC_V_{BAT}=1.2V	-	tbd	-	mA
$I_{CC(OSC)}$	振荡器源电流	振荡器运行[14]	-	300	-	μA
		振荡器掉电	-	-	10	μA
$I_{DD(RTC)}$	RTC 源电流	振荡器运行[15]	-	300	-	μA
		振荡器掉电	-	-	10	μA
$I_{DD(ADC)}$	ADC 源电流	正常[16]	-	-	400	μA
		掉电	-	-	<1	μA

续表 6

符号	参数	条件	最小	典型[1]	最大	单位
I_{DDIA}	模拟输入源电流	正常[17]	-	tbd	-	mA
		掉电	-	tbd	-	μA
$I_{DDO(DAC)}$	DAC 输出源电流	正常[18]	-	tbd	-	mA
		掉电[18]	-	tbd	-	μA
I_{DDOA}	模拟输出源电流	正常[19]	-	tbd	-	mA
		掉电[19]	-	tbd	-	μA

[1] 不能保证得到典型额定值。上表列出的值是在室温（+25℃），标称的电源电压下测得的。

[2] 加于管脚 $V_{DD1(CORE1V8)}$、$V_{DD2(CORE1V8)}$、$V_{DD(DADC1V8)}$、$V_{DD1(FLASH1V8)}$、$V_{DD2(FLASH1V8)}$、$V_{DD(OSC1V8)}$、$V_{DD(OSC321V8)}$、$V_{DD1(USB1V8)}$、$V_{DD2(USB1V8)}$。

[3] 外部电源电压；加于管脚 $V_{DD3(USB3V3)}$、$V_{DD4(USB3V3)}$、$V_{DD1(IO3V3)}$、$V_{DD2(IO,3V3)}$、$V_{DD3(IO3V3)}$、$V_{DD4(IO3V3)}$

[4] 加于管脚 $V_{DD(DADC3V3)}$、$V_{DD(ADC3V3)}$、$V_{DD(DAC3V3)}$、$V_{DD5(IO3V3)}$、$V_{DD6(IO3V3)}$

[5] 外部电源电压，加于管脚 $V_{DD1(EMC)}$、$V_{DD2(EMC)}$

[6] 参考该管脚合适的 V_{DD}

[7]包含三态模式下输出端的电压

[8] 该管脚必须呈现合适的 V_{DD} 电压

[9] 1.8V 输入

[10] 3.3V 输入

[11] 解释了所有电源线上 100mV 的电压降

[12] 只允许很短时间

[13] 加于管脚 $V_{DD1(CORE1V8)}$、$V_{DD2(CORE1V8)}$、$V_{DD1(FLASH1V8)}$、$V_{DD2(FLASH1V8)}$

[14] 加于管脚 $V_{DD(OSC1V8)}$

[15] 加于管脚 $V_{DD(OSC321V8)}$

[16] 加于管脚 $V_{DD(ADC3V3)}$

[17] 加于管脚 $V_{DD(DADC1V8)}$、$V_{DD(DADC3V3)}$

[18] 加于管脚 $V_{DD(DAC3V3)}$

[19] 加于管脚 $V_{DD5(IO3V3)}$、$V_{DD6(IO3V3)}$

第9章 动态特性

表 7 动态特性

T_a＝-40℃~+85℃，除非另有说明[1]。

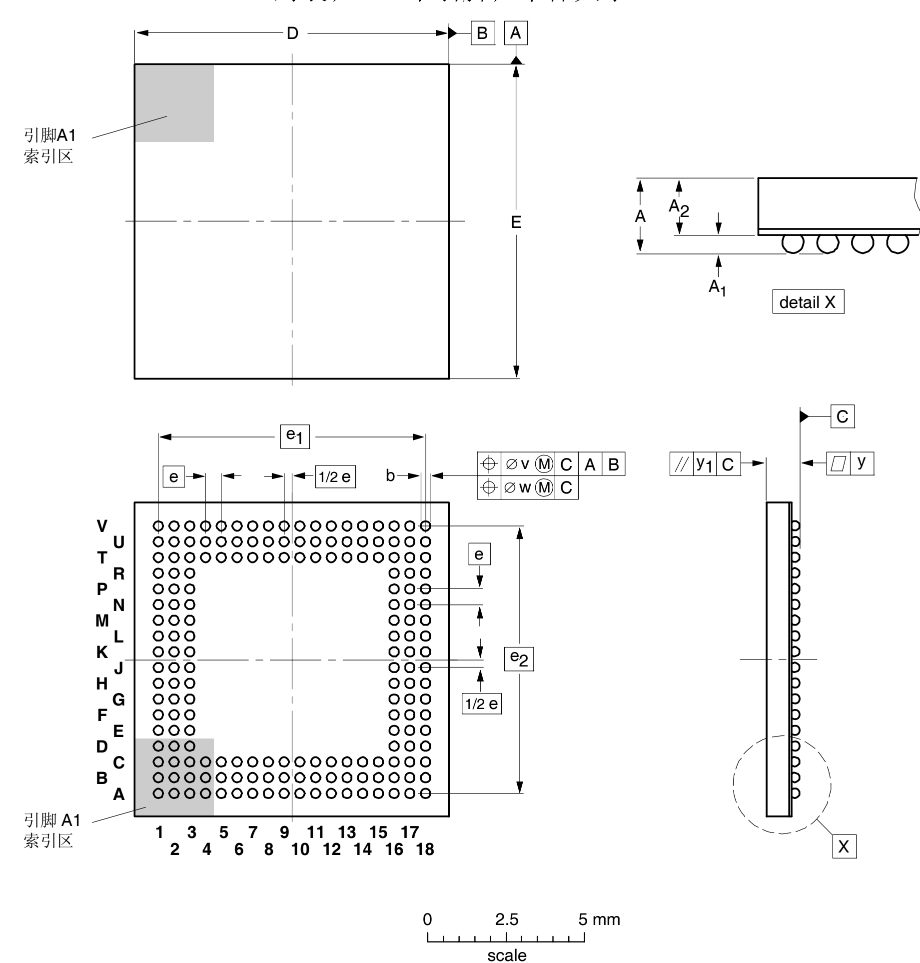
符号	参数	条件	最小	典型	最大	单位
外部时钟						
f_{ext}	外部时钟频率	[2]	1	12	20	MHz
端口管脚						
t_r	上升时间		-	5	-	ns
t_f	下降时间		-	5	-	ns

[1]　参数在工作温度范围内有效，除非另有说明。

[2]　由外部晶振提供。

第10章 封装

TFBGA180：TFBGA 封装；180 个引脚；本体大小：10×10×0.8mm。



DIMENSIONS (mm are the original dimensions)

UNIT	A max.	A_1	A_2	b	D	E	e	e_1	e_2	v	w	y	y_1
mm	1.11	0.31 0.19	0.84 0.76	0.39 0.29	10.1 9.9	10.1 9.9	0.5	8.5	8.5	0.1	0.15	0.12	0.1

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	JEITA			
SOT640-1		MO-195				~~01-06-07~~ 03-03-03

图 4 封装 **SOT640-1(TFBGA180)**

第11章 缩写词

表 8 首字母缩写词列表

首字母缩写词	描述
ADC	模数转换器
AMBA	先进的微控制器总线架构
AHB	先进的高性能总线
APB	先进的外设总线
CISC	复杂指令集计算机
CGU	时钟发生单元
DAC	数模转换器
DMA	直接存储器访问
FIQ	快速中断请求
GPIO	通用输入/输出
IrDA	红外线数据协会
IRQ	中断请求
JTAG	联合测试行动组
LCD	液晶显示
PLL	锁相环
RISC	精简指令集计算机
SDR	单数据率
SD/MMC	安全数字/多媒体卡
SDRAM	同步动态随机存取存储器
SRAM	静态随机存取存储器
UART	通用异步收发器
USB	通用串行总线

第12章 修订记录

表 9 修订记录

<table>
<tr><th>文档 ID</th><th>发行日期</th><th>数据手册状态</th><th>修改注意点</th><th>取代</th></tr>
<tr><td>LPC2880_2888_2</td><td><tbd></td><td>初级数据手册</td><td>-</td><td>LPC2880_LPC2888_1</td></tr>
<tr><td colspan="5">修改：
● 图 1“框图”，纠正多个管脚名
● 表 3“管脚分配表”，纠正多个管脚名
● 表 4“管脚描述”，纠正多个管脚名
● 数据手册的多处编辑性改动</td></tr>
<tr><td>LPC2880_2888_1</td><td>2006 年 6 月 22</td><td>初级数据手册</td><td>-</td><td>-</td></tr>
</table>

附录A 周立功公司相关信息

广州专卖店
地址：广州市天河区新赛格电子城203-204室
邮编：510630
电话：(020)87578634　87578842　87569917
传真：(020)87578842
E-mail：guangzhou@zlgmcu.com

北京周立功
地址：北京市海淀区知春路113号银网中心712室
邮编：100086
电话：(010)62536178　62536179　82628073
传真：(010)82614433
E-mail：beijing@zlgmcu.com

杭州周立功
地址：杭州市登云路 428 号浙江时代电子商城 205 号　邮编：310000
电话：(0571)88009205　88009932　88009933
传真：(0571)88009204
E-mail：hangzhou@zlgmcu.com

深圳周立功
地址：深圳市深南中路 2070 号电子科技大厦 A 座 24楼2403室
邮编：518031
电话：(0755)83783298　83781768　83781788
传真：(0755)83793285
E-mail：shenzhen@zlgmcu.com

上海周立功
地址：上海市北京东路668号科技京城东座7E室
邮编：200001
电话：(021)53083452　53083453　53083496　53083497
传真：(021)53083491
E-mail：shanghai@zlgmcu.com

南京周立功
地址：南京市珠江路280号珠江大厦2006室
邮编：210018
电话：(025)83613221　83613271　83603500
传真：(025)83613271
E-mail：nanjing@zlgmcu.com

重庆周立功
地址：重庆市九龙坡区石桥铺科园一路二号大西洋国际大厦(赛格电子市场) 1611室
邮编：400039
电话：(023)68796438　68796439　68797619
传真：(023)68796439
E-mail：chongqing@zlgmcu.com

成都周立功
地址：成都市一环路南一段57号金城大厦612室
邮编：610041
电话：(028)85499320　85437446
传真：(028)85439505
E-mail：chengdu@zlgmcu.com

武汉周立功
地址：武汉市洪山区广埠屯珞瑜路 158 号 12128 室（华中电脑数码市场）
邮编：430079
电话：(027)87168497　87168397　87168297
传真：(027)87163755
E-mail：wuhan@zlgmcu.com

西安办事处
地址：西安市长安北路54号太平洋大厦1201室
邮编：710061
电话：(029)87881296　87881295　83063000
传真：(029)87880865
E-mail：XAagent@zlgmcu.com